**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ**

**«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ІМЕНІ ІГОРЯ СІКОРСЬКОГО»**

**ІНСТИТУТ ПРИКЛАДНОГО СИСТЕМНОГО АНАЛІЗУ**

**КАФЕДРА СИСТЕМНОГО ПРОЕКТУВАННЯ**

**Дисціпліна:**

**«Комп'ютерна схемотехніка»**

**Звіт**

**з лабораторної роботи №1**

**на тему: Вивчення основних можливостей, утиліт,команд пакету Cadence для проектування електронних схем**

**Варіант 11**

Робота виконана студентом гр. ДА-92

Насікан Д. Ю.

01.02.2020

**Керівник**

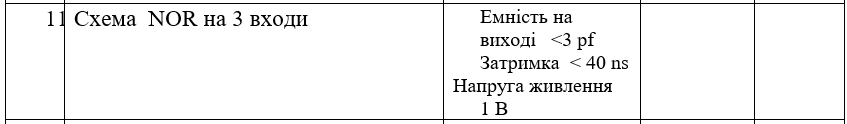
**Доц. Стіканов В. Ю.**

**Київ 2021**

**ЗМІСТ**

1. **ЗАВДАННЯ..................................................................................................2**
2. **ТЕОРЕТИЧНІ ВІДОМОСТІ.....................................................................3**
3. **ХІД РОБОТИ................................................................................................4**
4. **ВИСНОВОК...............................................................................................11**

**ЗАВДАННЯ**



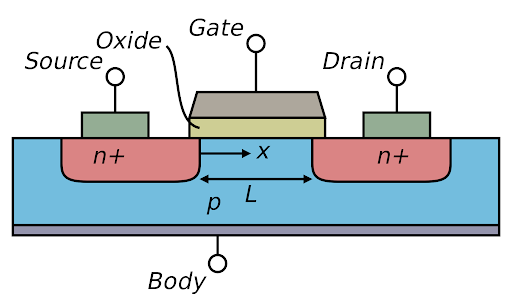
**ПЛАН ВИКОНАННЯ РОБОТИ**

1. Побудувати схему логічного елемента на nmos1v, pmos1v транзисторах
2. Створити завдання на моделювання прохідних залежностей (DC,Tran,AC,Calculator,Corner, Parametric Analysis)
3. Змоделювати залежності та пояснити параметри та засоби
4. Створити звіт(Microsoft office, file : ДA\*\*\_Призвище\_Lab\_1.doc)
5. Переслати звіт на сервер 10.12.32.195:home/visitor/Report/Da\*1/Lab1.

**Інструментальні засоби:** Система Cadence.

**ТЕОРЕТИЧНІ ВІДОМОСТІ**

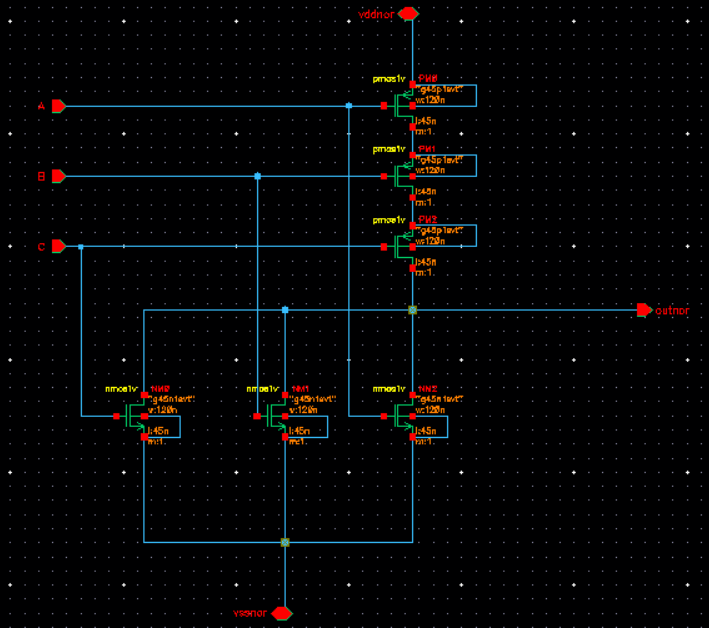
МДН-транзи́стор (англ. metal-insulator-semiconductor field-effect transistor, MISFET) — напівпровідниковий прилад, що як базовий фізичний принцип використовує ефект поля. Поперечний переріз n— канального МДН-транзистора. Типовий МДН-транзистор складається з МД/ОН- структури (метал-діелектрик/оксид-напівпровідник, наприклад n— типу), та двох p— кишень для електродів джерела (source) та стоку (drain). Металічний керуючий електрод називається затвором (gate), а напівпровідниковий — підкладкою (bulk).



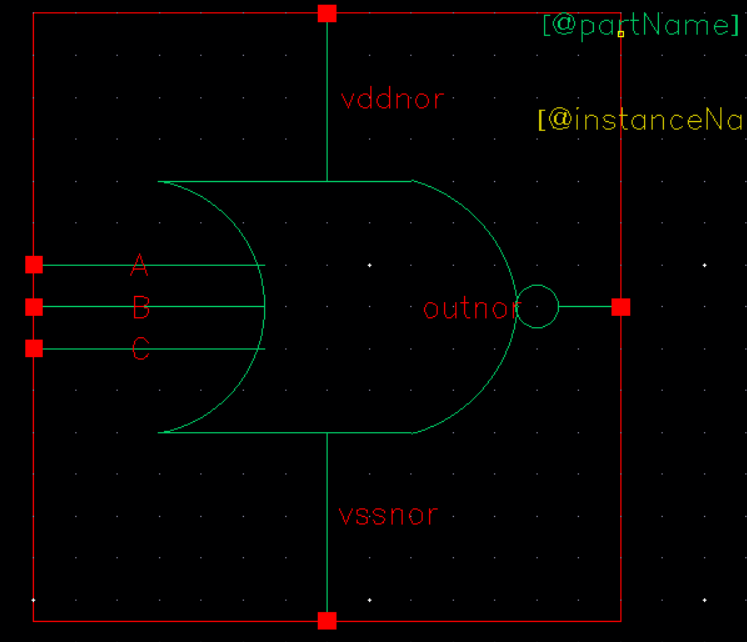
Якщо між затвором і витоком прикласти напругу плюсом (+) до висновку затвора, то між металевим висновком затвора і підкладкою утворюється поперечне електричне поле. Воно в свою чергу починає притягувати до приповерхневого шару у діелектрика негативно заряджені вільні електрони, які в невеликій кількості розосереджені в кремнієвій підкладці. В результаті в при поверхневому шарі накопичується досить велика кількість електронів і формується так званий канал - область провідності Те, що канал типу n - це значить, що він складається з електронів. Між висновками витоку і стоку, і власне, їх областями n + утворюється своєрідний «місток», який проводить електричний струм. Між витоком і стоком починає протікати струм. Таким чином, за рахунок керуючої напруги контролюється провідність польового транзистора. Якщо зняти напругу, що управляє з затвором, то провідний канал в приповерхневому шарі зникне і транзистор закриється - перестане пропускати струм.

**ХІД РОБОТИ**

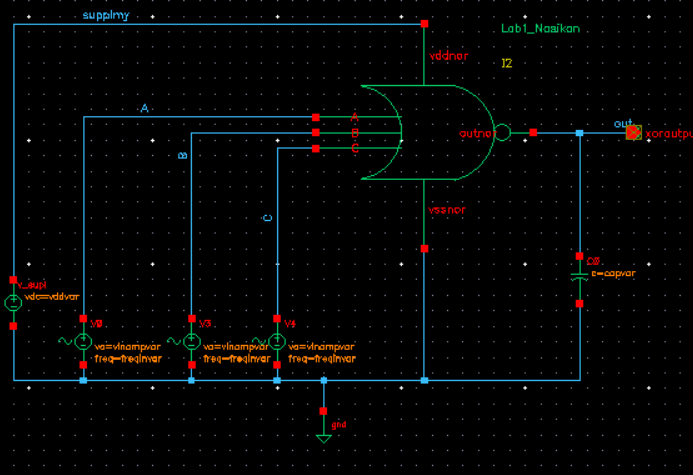
Використовуючи програмне забезпечення Cadence побудуємо схему NOR на 3 входи на CMOS логіці.



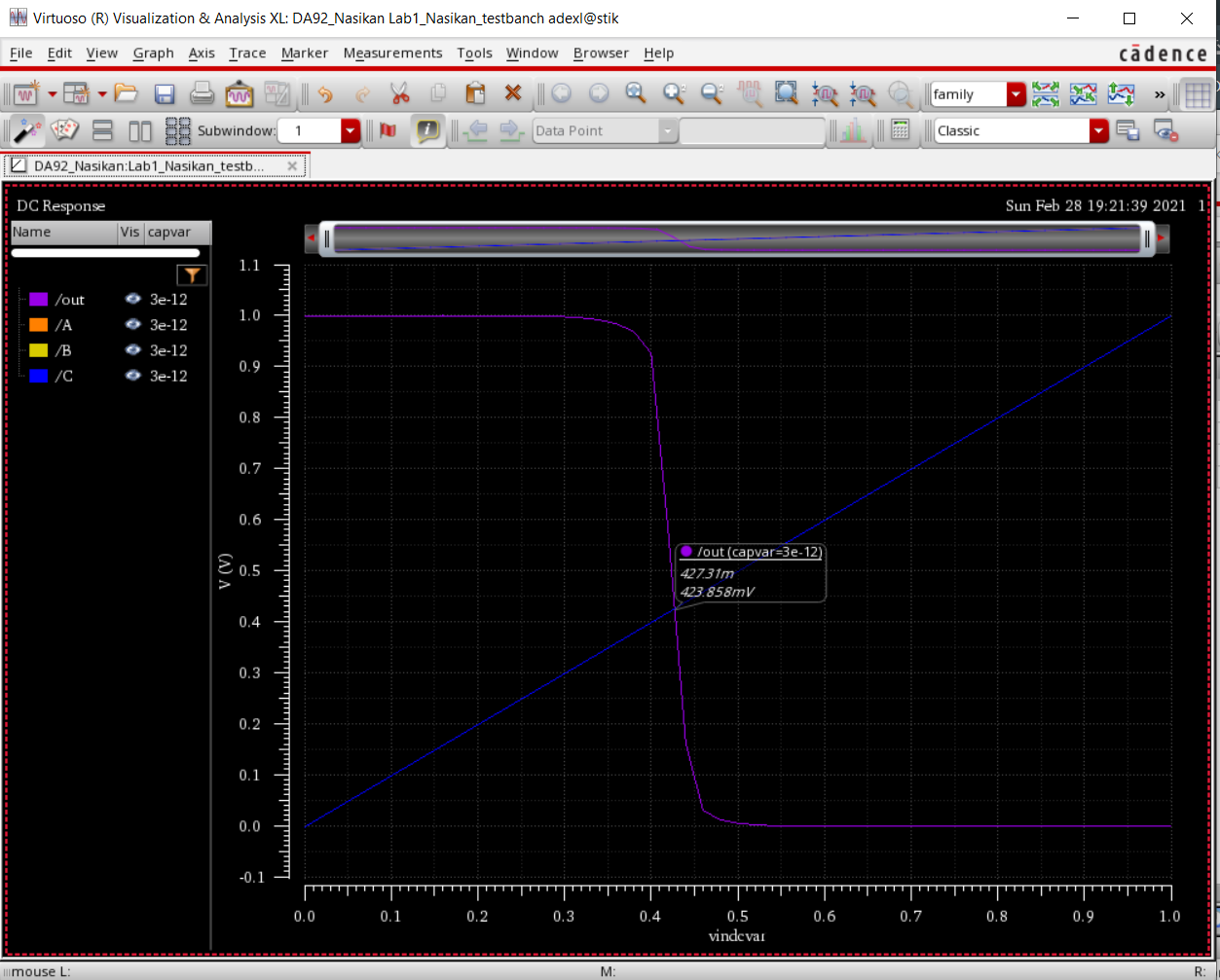
Далі, створимо символ для даного логічного елементу:



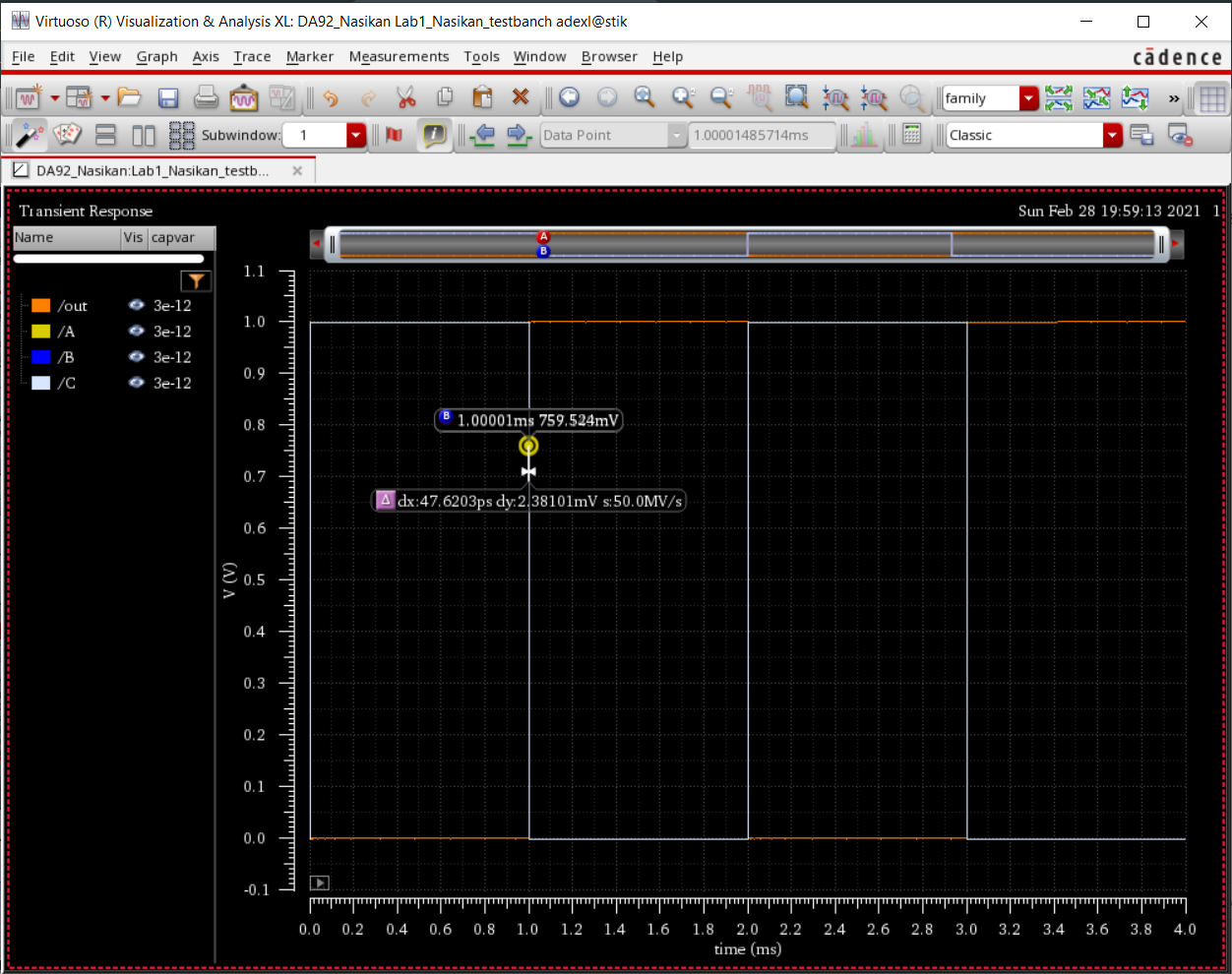
Побудуємо схему для тестування логічного елементу, використовуючи джерела синусоїдального струму на входах. Конденсатор на виході має ємність меншу за 2 pf.



DC АНАЛІЗ

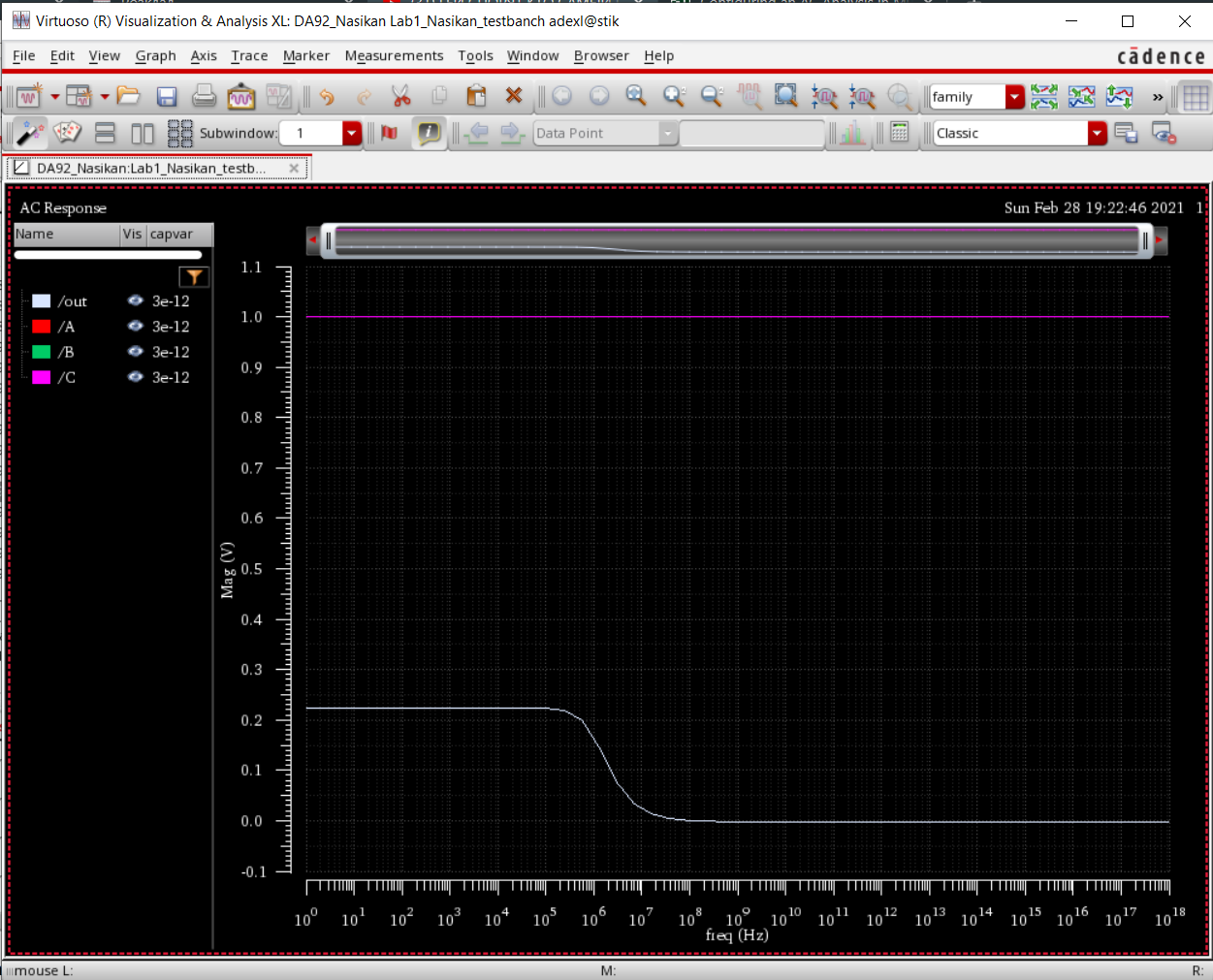
****

# TRAN АНАЛІЗ

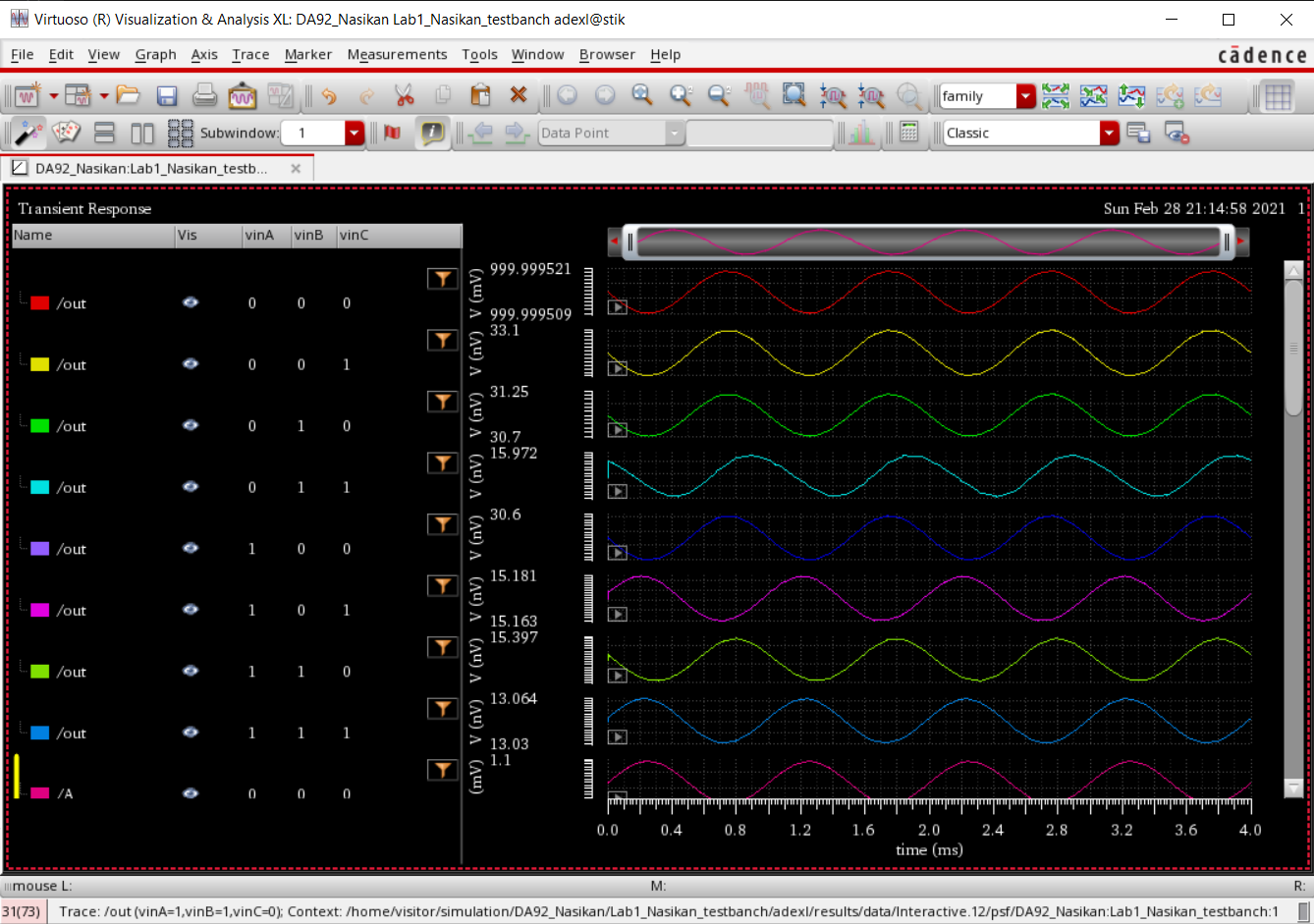


Як бачимо, потрібної затримки у 20 ns було досягнуто.

# AC АНАЛІЗ

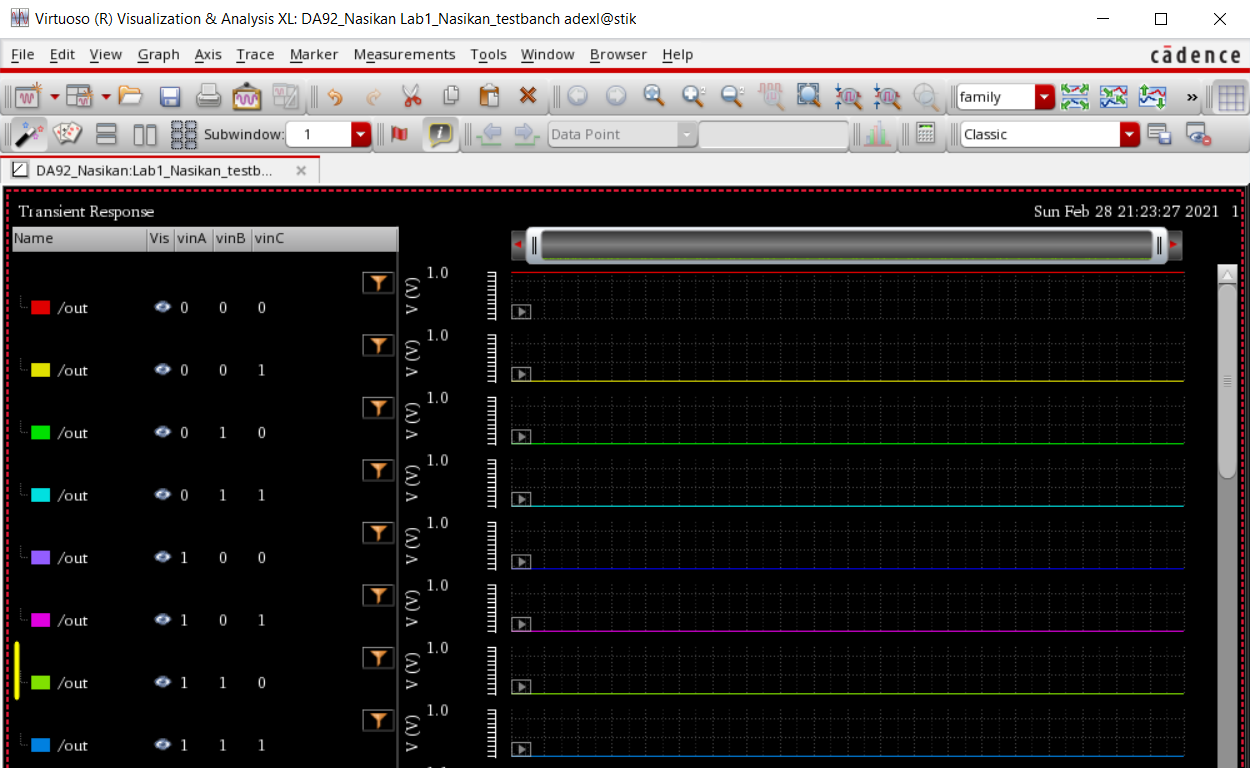


# PARAMETRIC АНАЛІЗ



Зліва бачимо набори значень змінних на входах логічного елемента, а справа – відповідні графіки напруги на виході.

Як бачимо, результати аналізу збігаються з таблицею істиності для даного елемента, що свідчить про правильність його побудови.



# ВИСНОВОК

В ході виконання даної лабораторної роботи мною було досліджено основні можливості системи Cadence, набуто навички побудови простих схем та логічних елементів з використанням МОН транзисторів. Було побудовано логічний елемент NOR на три входи та проведено кілька аналізів для перевірки роботи схеми за різних умов.